

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 03-263144

(43)Date of publication of application : 22.11.1991

(51)Int.Cl.

G06F 12/08

(21)Application number : 02-062975

(71)Applicant : NEC CORP

(22)Date of filing : 13.03.1990

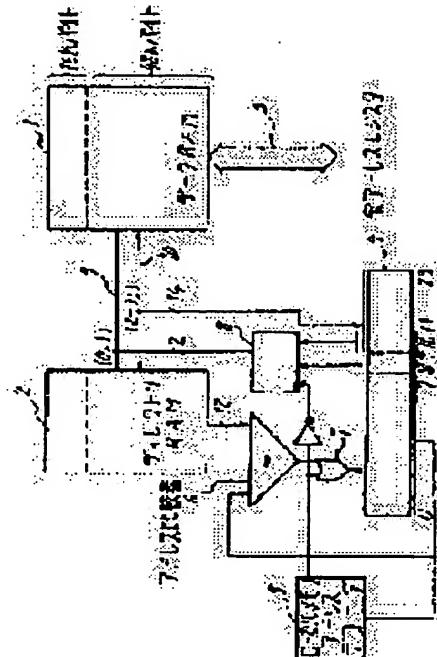
(72)Inventor : SATO HIROSHI

(54) CACHE MEMORY DEVICE

(57)Abstract:

PURPOSE: To curtail the hardware quantity by using a part of a memory area prepared for a cache memory as a local memory.

CONSTITUTION: The address area of a data RAM 1 prepared for a cache memory is divided. Subsequently, in the case a real address is decoded and it proves to be an access to a local memory, a part of the real address is converted by an address converting circuit 8 so as to designate an area for the local memory integrated into a part of a cache memory area, and in the case of an access to a main memory, by converting an address to other cache memory entry than the cache memory area secured for the local memory, the local memory and the cache memory is realized by one set of data RAM 1. In such a manner, it become unnecessary that the capacity of a memory element is converted to a large capacity.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

⑯日本国特許庁 (JP)

⑪特許出願公開

⑯公開特許公報 (A)

平3-263144

⑮Int.Cl.⁵

G 06 F 12/08

識別記号

庁内整理番号

W 7232-5B

⑯公開 平成3年(1991)11月22日

審査請求 未請求 請求項の数 1 (全4頁)

⑭発明の名称 キャッシュメモリ装置

⑯特 願 平2-62975

⑯出 願 平2(1990)3月13日

⑯発明者 佐藤廣 東京都港区芝5丁目33番1号 日本電気株式会社内

⑯出願人 日本電気株式会社 東京都港区芝5丁目7番1号

⑯代理人 弁理士内原晋

明細書

発明の名称

キャッシュメモリ装置

特許請求の範囲

情報処理装置内部にローカルにアクセス可能なメモリを持ち、システムバスに接続されるメインメモリの内容をバッファリングするキャッシュメモリを備えるシステムにおいて、キャッシュメモリの為に用意されたRAMのアドレス領域を分割し、ローカルにアクセス可能なアドレス領域にアクセスした場合は、キャッシュメモリへのエントリアドレスを固定的に設定されたローカルにアクセス可能なメモリのために用意された前記RAMアドレス領域に変換し、常にキャッシュメモリをヒット状態として扱い、メインメモリアドレス領域にアクセスした場合は、キャッシュメモリのエントリアドレスを前記ローカルにアクセス可能なキャッシュメモリのアドレス領域外に変換してア

クセスして成ることを特徴とするキャッシュメモリ装置。

発明の詳細な説明

〔産業上の利用分野〕

本発明は、情報処理装置におけるキャッシュメモリの構成方法に関し、特にローカルにアクセスするメモリ機能を持たせることができるキャッシュメモリ装置に関する。

〔概要〕

本発明は、プロセッサ内部にローカルにアクセス可能な、アドレス領域を持ち、プロセッサ固有に使用されるデータやプログラムをこの領域に格納し、更にシステムバスに接続されるメインメモリの内容をバッファリングするキャッシュメモリを備えるシステムにおいて、キャッシュメモリのアドレス領域を分割し、ローカルにアクセス可能なアドレス領域にアクセスした場合、キャッシュメモリへのエントリアドレスを固定的にローカルメモリ用に対して設定されたアドレスに変換し、

常にこのアクセスをキャッシュメモリをヒット状態として扱い、メインメモリアドレス領域にアクセスした場合は、キャッシュメモリへのエントリアドレスを、前記ローカルメモリ用に割り当てられたエントリアドレス以外にマッピングしてアクセスすることを特長とするキャッシュメモリ装置。

〔従来の技術〕

例えば第2図は、従来のローカルメモリとキャッシュメモリの構成を示したブロック図である。プロセッサ103は、内部バス101に接続され、キャッシュメモリ104とローカルメモリ105とにアクセスできる。キャッシュメモリ104は、システムバス102を介してメインメモリ106と接続されている。ここでは、キャッシュメモリ104のRAMとローカルメモリとが別々のメモリで構成されていることを示している。

〔発明が解決しようとする課題〕

しかし半導体メモリ素子技術の進歩に伴い、メモリ素子の容量が大容量化してきた。この傾向はメ

モリのワードアドレスが大きくなる方向に顯著である。このためローカルメモリに必要なワード数が少なくて済むのに、余分なアドレス容量を持つメモリ素子を使用しなければならず、ハードウェア物量・コストの削減上問題があった。

本発明の目的はこのような欠点を除去し、キャッシュメモリ用に用意されたメモリ用の一部を使用してローカルメモリを実現することにある。

〔課題を解決するための手段〕

情報処理装置内部にローカルにアクセス可能なメモリを持ち、システムバスに接続されるメインメモリの内容をバッファリングするキャッシュメモリを備えるシステムにおいて、キャッシュメモリの為に用意されたRAMのアドレス領域を分割し、ローカルにアクセス可能なアドレス領域にアクセスした場合は、キャッシュメモリへのエントリアドレスを固定的に設定されたローカルにアクセス可能なメモリのために用意された前記RAMアドレス領域に変換し、常にキャッシュメモリをヒット状態として扱い、メインメモリアドレス領

域にアクセスした場合は、キャッシュメモリのエントリアドレスを前記ローカルにアクセス可能なキャッシュメモリのアドレス領域外に変換してアクセスして構成される。

〔実施例〕

まず本発明の概要について述べる。

本発明は、メインメモリの内容のコピーを保持するキャッシュメモリ用のデータRAMと、メインメモリのどの部分のコピーを保持しているかを示すディレクトリRAMと、キャッシュメモリ内にアクセス対象となるデータが存在するかどうかを判定するアドレス比較器を持つ。そして、ディレクトリRAMに供給されるアドレスは、ローカルメモリに割り当てられたアドレス領域の場合、キャッシュメモリのデータRAMの領域の内、ローカルメモリ用に割り当てられた、キャッシュメモリのアドレスにマッピングを行い、キャッシュメモリのアドレス比較器を常にヒット状態となるように強制的にセットする。

メインメモリに割り当てられたアドレス領域を

アクセスする場合、キャッシュメモリのディレクトリエントリアドレスが、ローカルメモリ用に割り当てられた領域以外を示していればそのままキャッシュディレクトリRAMにアクセスし、ローカルメモリに割り当てられたアドレスを示していれば、アドレス変換回路により、本来のキャッシュメモリとして使用される領域のアドレスに変換することを特長としている。

次に、本発明について図面に基づいて説明する。第1図は本発明の一実施例の構成を示すブロック図である。

第1図において、データRAM1は、キャッシュメモリのデータを保持するとともに、一部をローカルメモリの領域として使用される。ディレクトリRAM2は、データRAM1に保持されているデータのメインメモリ上のアドレスを保持している。このキャッシュメモリには、プロセッサ内の実アドレスレジスタ4から、アドレスが供給される。このアドレスの上位はロウアドレスとして、ディレクトリRAMの出力と、アドレス比

較器 6 とによって比較され、結果がヒット信号となる。実アドレスの下位は、カラムアドレスとして、直接またはアドレス変換回路 8 を経由して、キャッシュのデータ RAM およびディレクトリ RAM にアドレスとして供給される。

第3図では、実メモリのアドレス空間を示している。この例では、実アドレスが24ビットで、16メガバイトの空間を示している。16メガバイトの空間の内、下位の8メガバイトがメインメモリの領域としてとられ、最上位の16Kバイトがプロセッサのローカルメモリとしてアドレスが割り付けられている。

第4図は、アドレス変換回路8の動作を一例を示している。ローカルメモリアドレス領域アクセスを示すビット（ローカルメモリで示す）と実アドレスのビット8から11ビット（A8～A11で示す）を入力して、キャッシュメモリのアドレスの上位2ビット（CA0・CA1で示す）を供給する。もしローカルメモリをアクセスする場合には出力のアドレスを強制的に「11」にセット

メモリエントリにアドレスを変換することにより、ローカルメモリとキャッシュメモリを一組のRAMにより実現できるという効果がある。

図面の簡単な説明

第1図、第2図はそれぞれ、本発明の一実施例、従来の方式を示すためのブロック図、第3図はメモリマップの例を示す説明図、第4図はアドレス変換回路の交換例を示す説明図。

1 … データ RAM、2 … ティレクトリ RAM、
3 … データバス、4 … 実アドレスレジスタ、5 …
ローカルメモリアアドレスデコーダ、6 … アドレス
比較器、7 … ヒット信号、8 … アドレス交換回路、
9, 10 … キャッシュエントリアドレス。

代理人弁理士内原晋

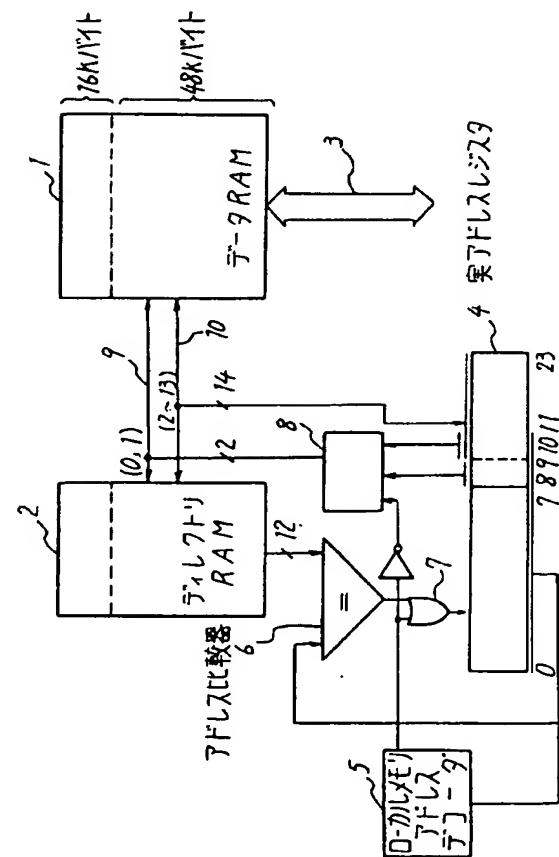
する。ローカルメモリアクセス以外で、アドレスビット A8、A9 が「11」以外で有れば、そのビット内容を出力し、「11」であれば、アドレスビット 10・11 のビットの値を出力する。ただし、アドレスビット A10、A11 が「11」であれば出力を強制的に「00」とする。なお図中 \times は 1・0 のいずれでもよいことを示す。

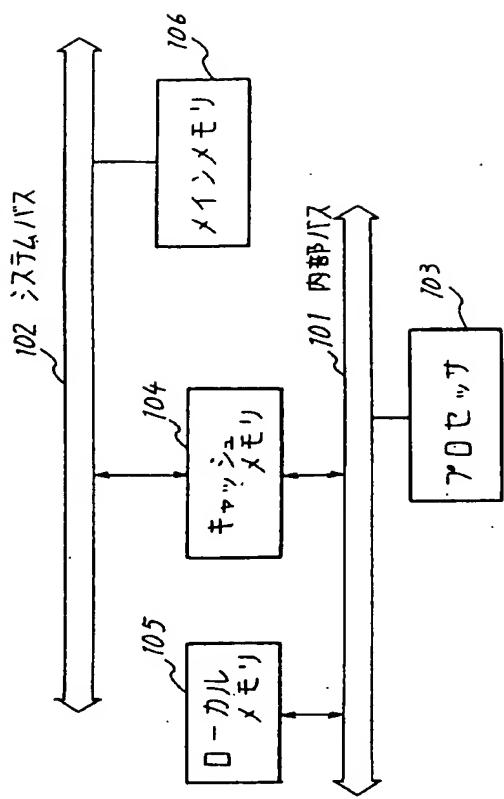
このアドレス変換回路を使用することにより、キャッシュメモリとして動作する。RAMアドレスの部分とローカルメモリのアドレス部分を分離することが可能となる。

〔発明の効果〕

本発明のキャッシュメモリ装置は、以上説明したように、実アドレスを解読してローカルメモリへのアクセスであると判明した場合には、アドレス変換回路によりキャッシュメモリ領域の一部に組み込まれたローカルメモリ用の領域を指定するように実アドレスの一部を変換し、メインメモリへのアクセスの場合には、ローカルメモリ用に確保されたキュッシュメモリ領域以外のキャッシュ

圖 1

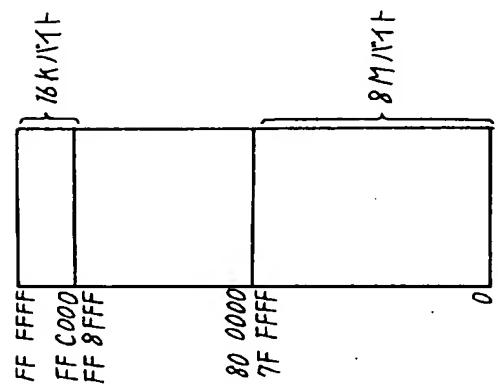




第 2 図

出力	入力
1 X	X 11
0 0	X 0 0
0 0	X 0 1
0 1 0	X 1 0
0 1 1	0 0 0
0 1 1	0 0 1
0 1 1	0 1 0
0 1 1	0 1 1

第 4 図



第 3 図